



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



Veröffentlichungsnummer: **0 472 880 A2**

12

## EUROPÄISCHE PATENTANMELDUNG

21 Anmeldenummer: **91111847.9**

51 Int. Cl.<sup>5</sup>: **H01L 29/743**, H01L 29/10,  
H01L 29/36

22 Anmeldetag: **16.07.91**

30 Priorität: **20.08.90 DE 4026318**

43 Veröffentlichungstag der Anmeldung:  
**04.03.92 Patentblatt 92/10**

84 Benannte Vertragsstaaten:  
**CH DE GB LI**

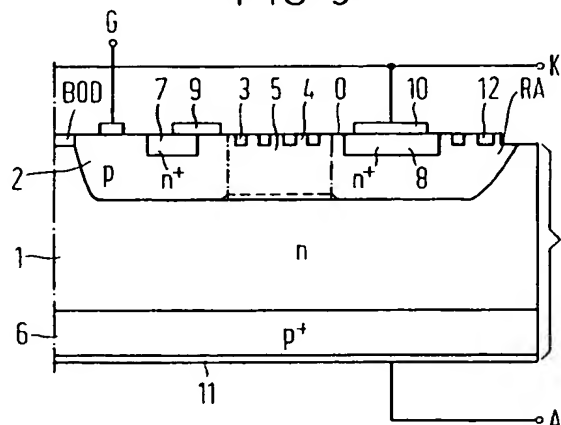
71 Anmelder: **SIEMENS AKTIENGESELLSCHAFT**  
**Wittelsbacherplatz 2**  
**W-8000 München 2(DE)**

72 Erfinder: **Kuhnert, Reinhold, Dr.**  
**Dachauerstrasse 140 d**  
**W-8000 München 19(DE)**  
Erfinder: **Mitlehner, Heinz, Dr.**  
**Hohenzollernstrasse 104**  
**W-8000 München 40(DE)**  
Erfinder: **Schulze, Hans-Joachim, Dr.**  
**Ottostrasse 60f**  
**W-8012 Ottobrunn(DE)**  
Erfinder: **Pfirsch, Frank, Dr.**  
**Willroiderstrasse 8 a**  
**W-8000 München 90(DE)**

54 Thyristor mit definiertem Lateral-Widerstand und Verfahren zu dessen Herstellung.

57 Die Erfindung betrifft einen Thyristor der, bspw. zwischen einem Emittergebiet (8) und einem Hilfsemittergebiet (7), einen Widerstandsbereich (5) zur Bildung eines Lateral-Widerstandes (R) besitzt, wobei der Widerstandsbereich (5) eine definiert niedrigere Dotierungskonzentration als die ihn umgebende Schicht (2) aufweist. Die definiert niedrigere Dotierungskonzentration wird durch Aussparungen (3) in einer Belegungsschicht erzeugt und kann durch das Breitenverhältnis von abwechselnd angeordneten Aussparungen (3) und Stegen (4) eingestellt werden. Die Aussparung (3) und Stege (4) werden entweder durch Diffusion und anschließender Ätzung oder durch Implantation mit Implantationsmaske gebildet, bevor die Belegungsschicht in den Halbleiterkörper des Thyristors durch Erhitzen von einer Oberfläche (O) her eingetrieben wird.

FIG 3



EP 0 472 880 A2

Die Erfindung bezieht sich auf einen Thyristor mit definiertem Lateral-Widerstand nach dem Oberbegriff des Patentanspruchs 1 und Verfahren zu dessen Herstellung.

Aus den Konferenzunterlagen zur "IEEE International Conference Thyristors And Variable And Static Equipment For AC und DC Transmission", 30.11.1981 bis 03.12.1981 in London, aus der darin enthaltenen Veröffentlichung von V. A. K. Temple (GE) zum Thema "Advanced Light Triggered Thyristors For Electric Power Systems", insbesondere Seite 90, Figur 7 und Seite 91, Figur 10 sind ein Thyristor und ein Verfahren dieser Art bekannt. Bei dem von V. A. K. Temple beschriebenen Thyristor mit Amplifying-Gate-Struktur wird ein definierter Lateral-Widerstand dadurch erzeugt, daß erst eine p-Basis durch Diffusion gebildet wird und dann am Ort des zu realisierenden Widerstandes die p-Basis dünner geätzt wird.

Der Erfindung liegt die Aufgabe zugrunde, einen Thyristor der eingangs genannten Art anzugeben, dessen Lateral-Widerstand einen gut reproduzierbaren Widerstandswert besitzt und der mit minimalem prozeßtechnischen Aufwand integrierbar ist. Die Aufgabe wird erfindungsgemäß durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmale gelöst.

Der mit der Erfindung erzielbare Vorteil liegt insbesondere darin, daß die Widerstandswerte des Lateral-Widerstandes besser als bei dem eingangs zitierten Verfahren eingestellt werden können.

Der Patentanspruch 2 und 3 betrifft eine Weiterbildung des erfindungsgemäßen Thyristors.

Die Patentansprüche 4 bis 8 sind auf bevorzugte Verfahren zur Herstellung eines erfindungsgemäßen Thyristors gerichtet.

Die Erfindung wird nachfolgend anhand der Zeichnung näher erläutert. Dabei zeigt

Figur 1 eine zweiteilige Darstellung zur Erläuterung der Herstellung eines erfindungsgemäßen Thyristors, bei dem eine Belegungsstruktur mit Hilfe von Diffusion und Ätzung erzeugt wird,

Figur 2 eine zweiteilige Darstellung zur Erläuterung der Herstellung eines erfindungsgemäßen Thyristors, bei dem eine Belegungsstruktur durch maskierte Implantation erzeugt wird,

Figur 3 eine Schnittdarstellung eines erfindungsgemäßen Thyristors mit Amplifying-Gate-Struktur und

Figur 4 ein Ersatzschaltbild des Thyristors nach Figur 3.

Die zweiteilige Darstellung von Figur 1 zeigt sowohl im oberen als auch im unteren Teil einen oberflächennahen Bereich eines erfindungsgemäßen Thyristors in den ein Lateral-Widerstand inte-

griert wird. Der obere Teil der Darstellung stellt dabei den Bereich des Thyristors zu einem frühen Zeitpunkt des Herstellverfahrens dar, der untere Teil der Darstellung hingegen stellt den selben Bereich des Thyristors am Ende des Herstellverfahrens dar. Der obere Teil der Darstellung zeigt einen n-dotierten Halbleiterkörper 1, zum Beispiel aus Silizium, in den eine p<sup>+</sup>-dotierte Belegungsschicht 2a eingebracht ist, deren Oberfläche O durch eine Ätzmaske M abgedeckt ist. Die Ätzmaske M und die darunterliegende Belegungsschicht 2a besitzen in einem Strukturierungsbereich B mehrere regelmäßig angeordnete Aussparungen 3a, die jeweils durch Stege 4a voneinander getrennt sind. Der untere Teil der Darstellung zeigt den n-dotierten Halbleiterkörper 1 in den eine p-dotierte Schicht 2b eingebracht ist, die dicker ist als die Belegungsschicht 2a aber eine geringere Dotierungskonzentration als diese besitzt.

An der Oberfläche O befindliche Aussparungen 3b und Stege 4b haben die gleiche Form wie im oberen Teil der Darstellung. Im oberen Teil der Darstellung besitzen die Stege 4a die gleiche Dotierungskonzentration wie die Belegungsschicht 2a außerhalb des Strukturierungsbereiches B, im unteren Teil der Darstellung hingegen besitzen die Stege 4b und der gesamte Widerstandsbereich 5a eine geringere Dotierungskonzentration als die Schicht 2b außerhalb des Strukturierungsbereiches B.

In den n-dotierten Halbleiterkörper 1 wird, von der Oberfläche O her, ganzflächig eine p<sup>+</sup>-dotierte Belegungsschicht 2a eindiffundiert. Ist dies erfolgt, so wird die Oberfläche O mit einer Ätzmaske M abgedeckt, die im Strukturierungsbereich B regelmäßig angeordnete Maskenöffnungen aufweist. Durch nachfolgendes Ätzen werden unterhalb der Maskenöffnungen in der Belegungsschicht 2a Aussparungen 3a gebildet, die mindestens so tief sind wie die Dicke der Belegungsschicht 2a. Würde die Belegungsschicht 2a nicht vollständig durchgeätzt, so würde der Wert des Lateral-Widerstandes aufgrund eines sehr steilen Dotierungsprofils und einer relativ ungenau bestimmbaren Ätztiefe weiterhin von Thyristor zu Thyristor stark variieren. Nach dem Entfernen der Ätzmaske M werden, durch Aufheizen von der Oberfläche O her, die Dotierungsatome der p<sup>+</sup>-dotierten Belegungsschicht in den n-dotierten Halbleiterkörper 1 eingetrieben. Die Dotierungskonzentration der ursprünglichen Belegungsschicht 2a nimmt dadurch ab und die Belegungsschicht dehnt sich in vertikaler Richtung aus, wodurch die zur Belegungsschicht 2a relativ dicke p-dotierte Schicht 2b erzeugt wird. Im Strukturierungsbereich B bilden die Stege 4a, zweidimensional betrachtet, punktförmige Dotierungsquellen für das Widerstandsgebiet 5a. Die Dotierungskonzentration kann hierbei sehr gut durch das Verhältnis

zwischen Aussparungsbreite zu Stegbreite definiert eingestellt werden. Durch das Eintreiben der Dotierungsatome stellt sich innerhalb des Widerstandsbereiches 5a eine in weiten Teilen homogene Dotierungskonzentration und somit ein gut reproduzierbarer Widerstandswert des Lateral-Widerstandes ein.

Ähnlich wie Figur 1, zeigt Figur 2 jeweils zu einem frühen Verfahrenszeitpunkt und am Ende des Verfahrens einen oberflächennahen Bereich eines erfindungsgemäßen Thyristors in den ein Lateral-Widerstand integriert wird. Ein oberer Teil von Figur 2 zeigt hierbei einen n-dotierten Halbleiterkörper 1, in den eine dünne, p<sup>+</sup>-dotierte Belegungsschicht 2c eingebracht ist. Aussparungen 3c liegen unter undurchlässigen Teilen einer Implantationsmaske M', die sich selbst unmittelbar auf der Oberfläche O der Belegungsschicht 2c befindet, und bestehen aus dem n-dotierten Halbleiterkörper 1. Die verbleibenden Stege 4c zwischen den Aussparungen 3c sind gleich dick wie die Belegungsschicht 2c und sind ebenfalls p<sup>+</sup>-dotiert. Der untere Teil von Figur 2 zeigt einen n-dotierten Halbleiterkörper 1 in den eine dicke, p-dotierte Schicht 2d von einer Oberfläche O her eingebracht ist. Im Strukturierungsbereich B befindet sich ein Widerstandsbereich 5b, der ungefähr dieselbe Schichtdicke wie die Schicht 2d aufweist aber eine niedrigere Dotierungskonzentration als diese besitzt. Die Oberfläche O ist im Strukturierungsbereich B im Gegensatz zu Figur 1 völlig eben, da in diesem Fall keine Ätzung erfolgt.

Der n-dotierte Halbleiterkörper 1 wird an seiner Oberfläche 2 mit einer Implantationsmaske M' so belegt, daß die Aussparungen 3c im Strukturierungsbereich B abgedeckt sind. Jetzt wird eine p<sup>+</sup>-dotierte Belegungsschicht 2c von der Oberfläche O her implantiert und es entstehen im Strukturierungsbereich B p<sup>+</sup>-dotierte Stege 4c zwischen den weiterhin n-dotierten Aussparungen 3c unterhalb der undurchlässigen Teile der Implantationsmaske M'. Nach dem Entfernen der Implantationsmaske M' folgt, wie bereits bei Figur 1 erläutert, ein Eintreibeschritt. Aufgrund eines Temperaturgradienten wird hierbei eine zur Belegungsschicht relativ dicke Schicht 2c mit p-Dotierung erzeugt, die im Strukturierungsbereich B infolge geringerer Dotierungskonzentration den Widerstandsbereich 5b bildet.

Zur Erhöhung der Sperrfähigkeit kann anstelle des einheitlich p-dotierten Halbleiterkörpers 1 von einem, z. B. mit Aluminium, vordotierten Halbleiterkörper 1 ausgegangen werden. Ein Bereich VD des Halbleiterkörpers 1 ist von der Oberfläche O her schwach p-dotiert und die sich zum n-dotierten Halbleiterkörper ergebende Dotierungsgrenzfläche ist in beiden Teilen von Figur 2 gestrichelt dargestellt.

Figur 3 zeigt eine Schnittdarstellung eines er-

findungsgemäßen Thyristors mit Amplifying-Gate-Struktur, bei dem ein Widerstandsbereich 5 zwischen einer Hilfsemiterelektrode 9 und einer Kathodenelektrode 10 in einer durch Diffusion erzeugten p-Basissschicht 2 gebildet wurde. Im Widerstandsbereich 5 besitzt die Dotierungsgrenzlinie (Linie gleicher Dotierungskonzentration) zwischen p-Schicht 2 und dem n-dotierten Teil des Halbleiterkörpers 1 eine gestrichelt dargestellte Einbuchtung, die aus der geringeren Dotierungskonzentration in diesem Bereich resultiert. Der Thyristor besteht wie üblich aus vier Schichten, aus einer p<sup>+</sup>-Emitterschicht 6, die mit der Anodenelektrode 11 kontaktiert ist, einer n-Basis aus einem Halbleitergrundkörper 1, einer p-Basissschicht 2, die durch Eintreiben einer p<sup>+</sup>-Belegungsschicht entstanden ist, und zwei n<sup>+</sup>-Emitter 7 und 8, die von einer Oberfläche O aus in die p-Basissschicht 2 eingebracht sind. Zwischen der Thyristormitte und dem Hilfsemiteur 7 ist eine Gateelektrode G an der Oberfläche O mit der p-Basissschicht 2 kontaktiert. Der Hilfsemiteur 7 ist von der Hilfsemiterelektrode 9 so überdeckt, daß eine elektrische Verbindung mit der p-Basissschicht 2 zwischen dem n<sup>+</sup>-Emitter 7 und dem Widerstandsbereich 5 entsteht. Der Emitter 8 ist mit der Kathodenelektrode 10, die Kathodenelektrode 10 ist mit einem Kathodenanschluß K und die Anodenelektrode 11 ist mit einem Anodenanschluß A verbunden. In einem zentralen Bereich der Oberfläche O ist eine Spannungssollbruchstelle BOD in Form einer Ätzmulde und in einem Randbereich der Oberfläche O sind ringförmige Aussparungen 12 zur Erzeugung einer Randstruktur RA vorgesehen. Herausgeätzte Aussparungen 3 und dadurch gebildete Stege 4 zur Erzeugung des Widerstandsbereiches 5 sind vorteilhafterweise zusammen mit der Spannungssollbruchstelle BOD und dem Randabschluß RA herstellbar. Werden die Aussparungen 3 durch maskierte Implantation erzeugt, so kann dies ebenfalls gemeinsam mit den ringförmigen Aussparungen 12 zur Erzeugung der Randstruktur RA und der Aussparung zur Erzeugung einer Spannungssollbruchstelle BOD geschehen.

Das Ersatzschaltbild von Figur 4 beschreibt den Thyristor mit Amplifying-Gate-Struktur aus Figur 3 und zeigt einen Hauptthyristor T zwischen einer Kathode K und einer Anode A, dessen Gate über einen Widerstand R mit der Kathode eines Hilfsthystors HT verbunden ist, dessen Anode mit der Anode A des Hauptthyristors verbunden ist.

Erhält das Gate G eine positive Spannung gegenüber der Kathode K so zündet der Hilfsthystor HT und über den Widerstand R danach auch der Hauptthyristor T. Oftmals werden auch mehrstufige Amplifying-Gate-Stufen eingesetzt, die in jeder einzelnen Stufe, also auch zwischen Hilfsemiteuren, einen entsprechenden Widerstand besitzen. Selbst

zwischen der Spannungssollbruchstelle BOD und der Gateelektrode G oder der Gateelektrode G und dem Hilfsemitter 7 sind integrierte Lateral-Widerstände denkbar. In Thyristoren mit Amplifying-Gate-Struktur bewegen sich die benötigten Widerstandswerte in der Größenordnung von einigen zehn Ohm. Die Widerstände dienen als Schutzwiderstände und bewirken, daß der Stromanstieg im primären Zündbereich (Thyristormitte) begrenzt wird und höhere Stromstärken dadurch erst bei der Zündung nachfolgender Amplifying-Gate-Stufen (im Hauptkathodenbereich) auftreten.

Das Verfahren zur Herstellung eines definierten Lateral-Widerstandes ist für optisch zündbare Thyristoren, sowie für Thyristoren mit integriertem Überspannungsschutz (BOD-Struktur) von besonderer Bedeutung, kann aber gegebenenfalls auch bei der Herstellung anderer Halbleiterbauelemente Anwendung finden.

#### Patentansprüche

1. Thyristor mit integriertem Lateral-Widerstand, bei dem der Lateral-Widerstand aus einem Widerstandsbereich besteht, der sich in einem von einer Oberfläche des Thyristors zugänglichen Bereich einer p-Basis-Schicht befindet, **dadurch gekennzeichnet**, daß der Widerstandsbereich (5) eine definiert geringere Dotierungskonzentration als die ihn umgebende p-Basis-Schicht (2) besitzt.
2. Thyristor nach Anspruch 1, **dadurch gekennzeichnet**, daß sich der Lateral-Widerstand zwischen einer Spannungssollbruchstelle (BOD) und einer Gateelektrode (G) befindet.
3. Thyristor nach Anspruch 1, **dadurch gekennzeichnet**, daß sich der Lateral-Widerstand zwischen einer Gateelektrode und einem Hilfsemitter befindet und/oder daß sich der Lateral-Widerstand zwischen dem Hilfsemitter und einem weiteren Hilfsemitter befindet und/oder daß sich der Lateral-Widerstand (R) zwischen einem Hilfsemitter (7) und einem Emitter (8) befindet.
4. Verfahren zur Herstellung eines Thyristors nach Anspruch 1, **dadurch gekennzeichnet**, daß in einem Halbleiterkörper (1) eines ersten Leitungstyps (n) eine dünne Belegungsschicht (2a, 2c) des zweiten Leitungstyps mit hoher Dotierungskonzentration ( $p^+$ ) von einer Oberfläche (O) her erzeugt wird, daß innerhalb eines Strukturierungsbereiches (B) in die Belegungsschicht regelmäßig angeordnete Aussparungen (3) eingebracht werden und jeweils Stege (4a, 4c) zwischen den Aussparungen

(3a, 3c) bestehen bleiben, daß der Widerstandswert des Lateral-Widerstandes (R) durch das Breitenverhältnis der Aussparungen zu den Stegen definiert und in engen Grenzen eingestellt wird, daß durch Erhitzen des Halbleiterkörpers (1) die dünne Belegungsschicht (2a, 2c) des zweiten Leitungstyps mit hoher Dotierungskonzentration ( $p^+$ ) in den Halbleiterkörper (1) eingetrieben wird, daß dabei aus der dünnen Belegungsschicht mit hoher Dotierungskonzentration eine dicke Schicht (2b, 2d) des zweiten Leitungstyps mit geringerer Dotierungskonzentration (p) gebildet wird, daß im Strukturierungsbereich (B), infolge der Aussparungen (3a, 3c), eine definiert geringere Dotierungskonzentration erzeugt wird als in der dicken Schicht (2b, 2d) außerhalb des Strukturierungsbereiches (B) und daß durch die definiert geringere Dotierungskonzentration im Strukturierungsbereich (B) der Lateral-Widerstand (R) mit in engen Grenzen definiertem Widerstandswert gebildet wird.

5. Verfahren nach Anspruch 4, **dadurch gekennzeichnet**, daß die dünne Belegungsschicht (2a) des zweiten Leitungstyps mit hoher Dotierungskonzentration ( $p^+$ ) durch Diffusion in den Halbleiterkörper (1) des ersten Leitungstyps (n) erzeugt wird und daß im Strukturierungsbereich (B) regelmäßig angeordnete Aussparungen (3a) mit Hilfe einer Ätzmaske (M) aus der Belegungsschicht (2a) herausgeätzt werden.
6. Verfahren nach Anspruch 5, **dadurch gekennzeichnet**, daß die Diffusion mit Aluminium erfolgt.
7. Verfahren nach Anspruch 4, **dadurch gekennzeichnet**, daß die dünne Belegungsschicht (2c) des zweiten Leitungstyps mit hoher Dotierungskonzentration ( $p^+$ ) durch Implantation in den Halbleiterkörper (1) des ersten Leitungstyps (n) erzeugt wird und daß die Aussparungen (3c) und Stege (4c) innerhalb des Strukturierungsbereiches (B) durch Verwendung einer Implantationsmaske (M') erzeugt werden, wobei die Aussparungen (3c) jeweils unterhalb von undurchlässigen Bereichen der Implantationsmaske (M') liegen.
8. Verfahren nach Anspruch 7, **dadurch gekennzeichnet**, daß die Implantation mit Bor erfolgt.
9. Verfahren nach Anspruch 4, **dadurch gekennzeichnet**, daß die Aussparungen (3a, 3c) zur Bildung des Lateral-Widerstandes (R) gleichzeitig mit Bereichen zur Bildung anderer Funktionen (Spannungssollbruchstelle und/oder

Randabschluß) erzeugt werden.

10. Verfahren nach Anspruch 7, **dadurch gekennzeichnet**, daß vor der Erzeugung der Belegungsschicht (2c) ganzflächig eine Vordotierungsschicht (VD) des zweiten Leitungstyps (p) in den Halbleiterkörper (1) von der Oberfläche (O) her eingebracht wird.

5

10

15

20

25

30

35

40

45

50

55

5

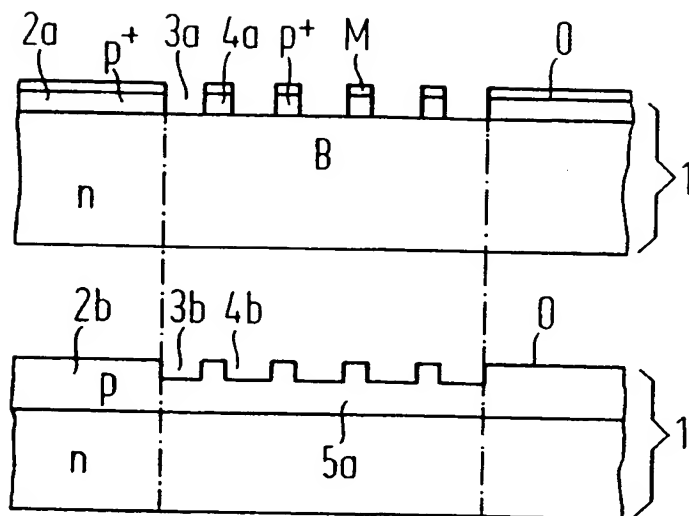


FIG 1

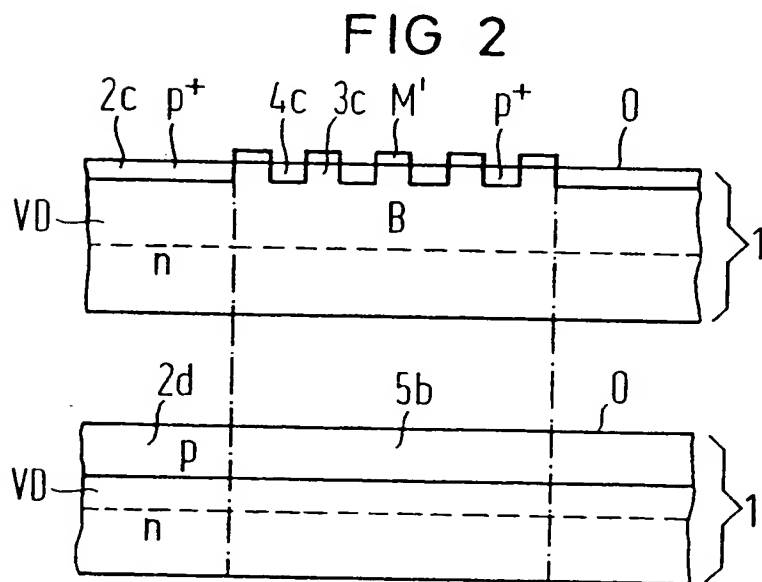


FIG 2

FIG 3

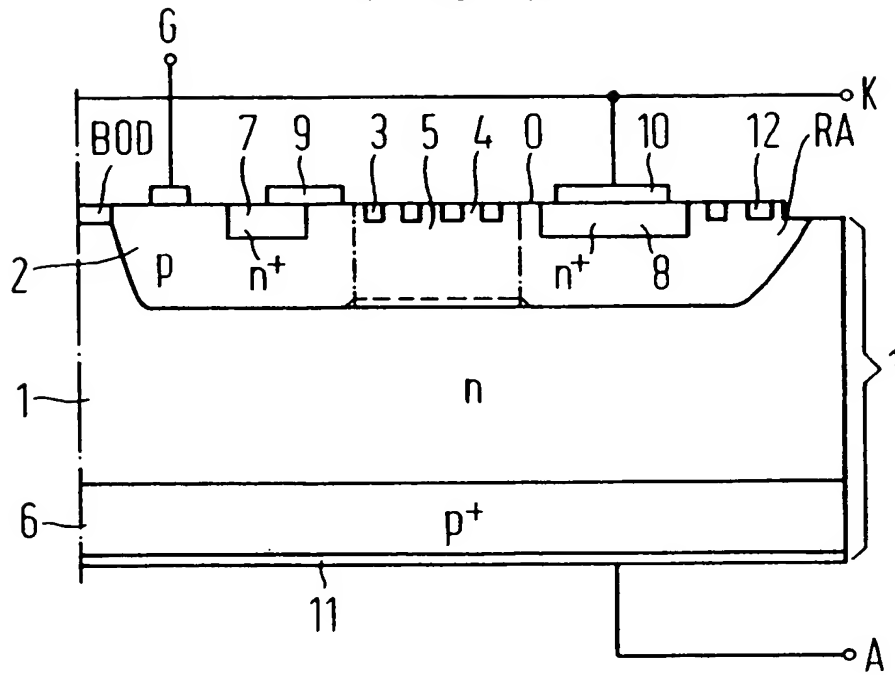
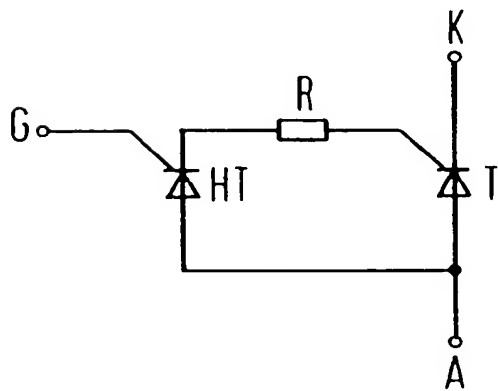


FIG 4







(19)



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) Veröffentlichungsnummer: **0 472 880 A3**

(12)

## EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 91111847.9

(51) Int. Cl.<sup>5</sup>: **H01L 29/743**, H01L 29/10,  
H01L 29/36, H01L 21/332

(22) Anmeldetag: 16.07.91

(30) Priorität: 20.08.90 DE 4026318

(43) Veröffentlichungstag der Anmeldung:  
04.03.92 Patentblatt 92/10

(84) Benannte Vertragsstaaten:  
CH DE GB LI

(88) Veröffentlichungstag des später veröffentlichten  
Recherchenberichts: 22.04.92 Patentblatt 92/17

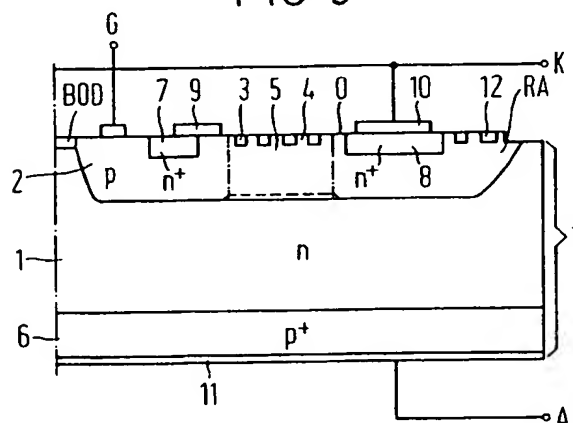
(71) Anmelder: **SIEMENS AKTIENGESELLSCHAFT**  
Wittelsbacherplatz 2  
W-8000 München 2(DE)

(72) Erfinder: **Kuhnert, Reinhold, Dr.**  
Dachauerstrasse 140 d  
W-8000 München 19(DE)  
Erfinder: **Mitlehner, Heinz, Dr.**  
Hohenzollernstrasse 104  
W-8000 München 40(DE)  
Erfinder: **Schulze, Hans-Joachim, Dr.**  
Ottostrasse 60f  
W-8012 Ottobrunn(DE)  
Erfinder: **Pfirsch, Frank, Dr.**  
Willroiderstrasse 8 a  
W-8000 München 90(DE)

(54) Thyristor mit definiertem Lateral-Widerstand und Verfahren zu dessen Herstellung.

(57) Die Erfindung betrifft einen Thyristor der, bspw. zwischen einem Emittergebiet (8) und einem Hilfsemittergebiet (7), einen Widerstandsbereich (5) zur Bildung eines Lateral-Widerstandes (R) besitzt, wobei der Widerstandsbereich (5) eine definiert niedrigere Dotierungskonzentration als die ihn umgebende Schicht (2) aufweist. Die definiert niedrigere Dotierungskonzentration wird durch Aussparungen (3) in einer Belegungsschicht erzeugt und kann durch das Breitenverhältnis von abwechselnd angeordneten Aussparungen (3) und Stegen (4) eingestellt werden. Die Aussparung (3) und Stege (4) werden entweder durch Diffusion und anschließender Ätzung oder durch Implantation mit Implantationsmaske gebildet, bevor die Belegungsschicht in den Halbleiterkörper des Thyristors durch Erhitzen von einer Oberfläche (O) her eingetrieben wird.

FIG 3



EP 0 472 880 A3



Europäisches  
Patentamt

# EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 91 11 1847

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
X	WO-A-8 600 469 (GENERAL ELECTRIC CO.) * Seite 8, Zeilen 27-33; Seite 14, Zeilen 18-22; Abbildung 5 *	1,3	H 01 L 29/743
Y	-----	2	H 01 L 29/10
Y	INTERNATIONAL ELECTRON DEVICES MEETING, HELD IN WASHINGTON, D.C., TECHNICAL DIGEST. Dezember 1981, NEW YORK US Seiten 406 - 409; V. A. K. TEMPLE: 'Controlled thyristor turn-on for high di/dt capability' * das ganze Dokument *	2	H 01 L 29/36
A	-----	1,3	H 01 L 21/332
A	EP-A-0 262 356 (SIEMENS A.G.) * das ganze Dokument *	4-6,9	
A	EP-A-0 176 778 (SIEMENS A.G.) * das ganze Dokument *	4,7,8	
A	EP-A-0 039 509 (SIEMENS A.G.) * Seite 4, Zeile 10 - Seite 5, Zeile 7; Abbildungen 2-4 *	10	
			RECHERCHIERTE SACHGEBIETE (Int. Cl.5)
			H 01 L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort		Abschlußdatum der Recherche	Prüfer
Den Haag		25 Februar 92	MORVAN D.L.D.
<b>KATEGORIE DER GENANNTEN DOKUMENTE</b> X: von besonderer Bedeutung allein betrachtet Y: von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A: technologischer Hintergrund O: mündliche Offenbarung P: Zwischenliteratur T: der Erfindung zugrunde liegende Theorien oder Grundsätze E: älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D: in der Anmeldung angeführtes Dokument L: aus anderen Gründen angeführtes Dokument &: Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			